

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

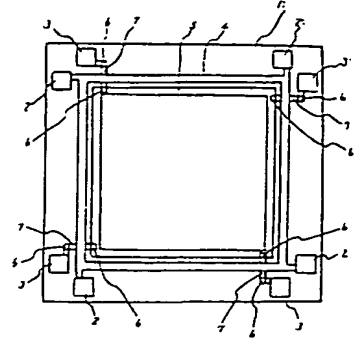
**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(11) 4-302443 (A) (43) 26.10.1992 JP
 (21) Appl. No. 3-91441 (22) 29.3.1991
 (71) NEC CORP (72) MASAHIRO NAKAMURA
 (51) Int. Cl. H01L21/60

PURPOSE: To avoid an unwired part or an increase in a chip size in an automatic layout operation by a method wherein at least one out of a bonding pad for power-supply use and a bonding pad for grounding use is arranged in a chip corner part in a semiconductor integrated circuit.

CONSTITUTION: Bonding pads 3 for power-supply use and bonding pads 2 for grounding use are provided to all corner parts in a semiconductor integrated circuit chip 1. A second-layer-wiring layer 4 on the outermost circumference of the chip is a wiring layer for grounding use; it is connected to the bonding pads 2 for grounding use in four parts in the chip corner parts. A second-layer wiring layer 5 is wiring layer for power-supply use; it is connected to the bonding pads 3 for power-supply use in four parts in the chip corner parts via contact blocks 6 which connect a first-layer wiring layer 7 and a first-layer wiring layer. Thereby, it is possible to avoid an unwired part or an increase in a chip size in an automatic layout operation.

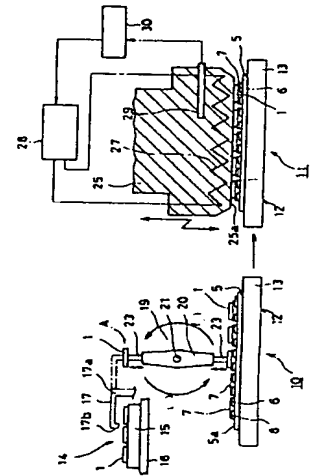


(54) MOUNTING METHOD OF SEMICONDUCTOR ELEMENT

(11) 4-302444 (A) (43) 26.10.1992 (19) JP
 (21) Appl. No. 3-67045 (22) 29.3.1991
 (71) TOSHIBA CORP (72) YASUTAKA KOGA
 (51) Int. Cl. H01L21/60

PURPOSE: To harden an anisotropically conductive film and to mount a plurality of semiconductor elements on a substrate by a method wherein, after the plurality of semiconductor elements have been bonded temporarily on the substrate via the anisotropically conductive film, the plurality of semiconductor elements are heated and pressurized collectively.

CONSTITUTION: A suction nozzle 23 on one side protrudes to the downward direction; a bump 3 on a semiconductor element 1 is brought into contact with an anisotropically conductive film 7 which has been pasted on an interconnection pattern 6; and suction power is released. Then, since the surface of the anisotropically conductive film 7 is provided with adhesive power, the semiconductor element 1 is bonded temporarily to a substrate 5. The substrate 5 which has finished its temporarily bonding process is conveyed to a bonding stage 11 by using a substrate conveyance device 12; it is positioned. A bonding head 25 is driven downward in a state that the temperature at its lower-end part is kept at 190°C; it presses many semiconductor elements 1,... in the direction of the substrate 5 at a definite pressure. The anisotropically conductive film 7 is hardened in a state that the bump 3 and the wiring pattern 6 are connected electrically. Thereby, the operating process of the title mounting method is simplified, and the throughput of the mounting method can be increased.



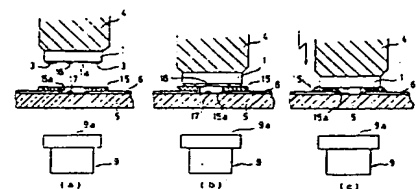
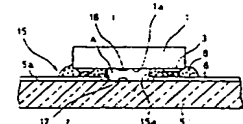
10: temporarily bonding stage, 27: heating heater, 28: control part, 30: temperature-detecting part

(54) MOUNTING STRUCTURE OF SEMICONDUCTOR ELEMENT

(11) 4-302445 (A) (43) 26.10.1992 (19) JP
 (21) Appl. No. 3-89013 (22) 29.3.1991
 (71) TOSHIBA CORP (72) MINEAKI IIDA
 (51) Int. Cl. H01L21/60

PURPOSE: To accurately align a semiconductor element with a substrate by a method wherein, at a bonding operation, images of a first alignment mark and a second alignment mark are picked up from the lower part of the substrate through an opening in an anisotropically conductive film.

CONSTITUTION: An image pickup camera 9 whose image pickup face 9a has been faced with the rear surface of a glass substrate 5 is installed in the lower part of the glass substrate 5; the image of a second alignment mark 17 is picked up. A semiconductor element 1 is held in a state that an element formation face 1a is faced downward on the lower-end face of a bonding head 4; it is faced toward the glass substrate 5. The image of a first alignment mark 16 formed on the semiconductor element 1 is picked up by using the image pickup camera 9. A bump 3 on the semiconductor element 1 is aligned with a wiring pattern 6 on the glass substrate 5 in such a way that the first and second alignment marks 16, 17 overlap. The bonding head 4 is driven so as to be lowered. The semiconductor element 1 brings the bump 3 into contact with the surface of an anisotropically conductive film 15; it is bonded temporarily; and after that, it is heated, pressed and bonded to the glass substrate 5.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-302444

(43) 公開日 平成4年(1992)10月26日

(51) Int.Cl.⁵

H 0 1 L 21/60

識別記号

3 1 1 S 6918-4M

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 1 (全 5 頁)

(21) 出願番号 特願平3-67045

(22) 出願日 平成3年(1991)3月29日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 古賀 康隆

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

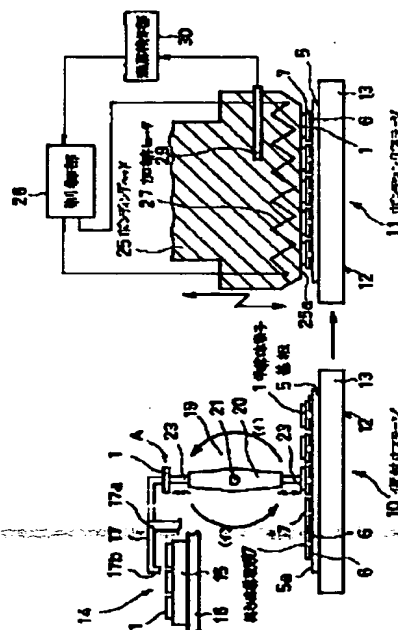
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 半導体素子の実装方法

(57) 【要約】

【構成】 複数個の半導体素子1…を bumps が形成された面を下方に向けた状態で、異方性導電膜7を介して上記基板5の所定の位置に仮付けする仮付けステージ10と、上記複数個の半導体素子1…を一括的に加圧しかつ加熱することで上記半導体素子1の bumps と基板5の配線パターン6とを電気的に接続させるフリップチップ方式のボンディングを行うボンディングステージ11とを有する。

【効果】 複数の半導体素子について異方性導電膜を硬化させる作業が一回ですむので、作業工程が簡略化されると共に、実装のスループットを高めることができるという効果がある。



【特許請求の範囲】

【請求項1】 パンプを有する半導体素子を配線パターンが形成された基板に熱硬化性の異方性導電膜を介してボンディングする半導体素子の実装方法において、複数の半導体素子を異方性導電膜を介して上記基板の所定の位置に仮付けする仮付け工程と、上記複数の半導体素子を上記基板に一括的に加圧しかつ加熱することで上記半導体素子のパンプと基板の配線パターンとを電気的に接続させるボンディング工程とを有することを特徴とする半導体素子の実装方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は例えば、半導体素子をフリップチップ方式でボンディングする半導体素子の実装方法に関する。

【0002】

【従来の技術】 近年、液晶モジュールや感熱印字ヘッド、および、メモ리카ードのように半導体素子（ICやLSI等）を複数個用いるデバイスが増加している。そして、これらにおいては、いずれの場合も複数の半導体素子を高密度でかつ薄型に基板に実装する必要がある。

【0003】 このような条件を満足する半導体素子の実装方式には、異方性導電膜を用いて半導体素子の電極と基板の配線パターンとを直接的に接続するフリップチップ方式がある。

【0004】 このフリップチップ方式を図2を参照して説明する。半導体素子1の素子形成面1a上に設けられた複数の電極パッド2…には、パンプ3（金属突起もしくは突起電極）がそれぞれ形成される。さらに、この半導体素子1は素子形成面1aを下方に向けた状態でボンディングヘッド4の加圧面4aに保持され、基板5の素子搭載面5aに向かい合わせられる。この素子搭載面5aには上記パンプ3と接合させられる配線パターン6が形成されている。

【0005】 上記配線パターン6上には異方性導電膜7があらかじめ貼付されている。この異方性導電膜は微細な導電粒子8…を均一に分散させたフィルム状の熱硬化性の接着剤である。

【0006】 上記半導体素子1のパンプ3と上記基板5の配線パターン6とが位置合わせされたのち、この半導体素子1が上記ボンディングヘッド4によって加熱され、上記異方性導電膜7を介在させて上記基板5の配線パターン6に加圧される。

【0007】 上記半導体素子1のパンプ3の形成された部位には段差があるので、上記異方性導電膜7のうち上記配線パターン6とパンプ3とに押し潰された部分は複数の導電粒子8…が互いに密着して電気的に接続される。それ以外の部分は複数の導電粒子8…が互いに接触するということがないので電気的に絶縁状態となる。こ

のことによって対向する上記半導体素子1のパンプ3と配線パターン6だけが電気的に接続されるのである。

【0008】

【発明が解決しようとする課題】 ところで、従来のフリップチップ方式の実装は、一枚の基板5に多数個の半導体素子1…を実装する場合においても、一つ一つの半導体素子1毎に上記異方性導電膜7を硬化させていた。

【0009】 しかし、上記異方性導電膜7を硬化させるためには、一般に30秒以上の加圧、加熱を行わなければならない。このため、一つの基板5上に数十個の半導体素子1…を実装する場合には、スルーボットが高められないということがあった。

【0010】 この発明はこのような事情に鑑みて成されたもので、多数個の半導体素子を基板に高密度に実装する場合において、実装のスルーボットが高い半導体素子の実装方法を提供することを目的とするものである。

【0011】

【課題を解決するための手段】 この発明は、パンプを有する半導体素子を配線パターンが形成された基板に熱硬化性の異方性導電膜を介してボンディングする半導体素子の実装方法において、複数の半導体素子を異方性導電膜を介して上記基板の所定の位置に仮付けする仮付け工程と、上記複数の半導体素子を上記基板に一括的に加圧しかつ加熱することで上記半導体素子のパンプと基板の配線パターンとを電気的に接続させるボンディング工程とを有することを特徴とする。

【0012】

【作用】 このような構成によれば、基板に複数の半導体素子を異方性導電膜を介して仮付けした後に、これら複数の半導体素子を一括的に加熱加圧することにより、異方性導電膜を硬化させる。このことで複数の半導体素子を基板上に一括的に実装することができる。

【0013】

【実施例】 以下、この発明の一実施例を図1を参照して説明する。なお、従来例と同一の構成要素には同じ符号を付して説明を省略する。

【0014】 この発明の実装方法が適用されるボンディング装置は、仮付け工程を行う仮付けステージ10とボンディング工程を行うボンディングステージ11とを有する。

【0015】 図中12は基板搬送装置である。この基板搬送装置12は、上面を載置面とするテーブル13を有し、このテーブル13の載置面には基板5が素子搭載面5aを上方に向けた状態で保持される。そして、基板搬送装置12は、仮付けステージ10およびボンディングステージ11において、基板5をXY方向に位置決め駆動すると共に、この基板5を仮付けステージ10からボンディングステージ11へと搬送する。

【0016】 上記テーブル13に載置される基板5の素子搭載面5aには上記半導体素子1のパンプ3（図2に

示す)と接続される多数の配線パターン6が形成されている。そしてこれらの配線パターン6上にはあらかじめ異方性導電膜7が貼付されている。

【0017】上記仮付けステージ10の上方には素子供給装置14が設けられている。この素子供給装置14は、複数個の半導体素子1…を収納したトレイ15を位置決め駆動する供給テーブル16と、上記半導体素子1をトレイ15から取り出して所定の位置Aに供給するピックアップノズル17を有する。

【0018】上記ピックアップノズルは基端部17aを中心として水平方向に回動自在に設けられていて、先端部17bに半導体素子1を真空吸着した後に回動駆動されることで、この半導体素子1を後述する吸着ノズル23が位置決めされる位置Aに搬送する。

【0019】また、上記トレイ15に収納された複数個の半導体素子1は、それぞれ、パンプ3が形成された素子形成面を上方向に向けた状態で搬送されていて、この状態で上記ピックアップノズルに吸着保持されて位置Aに供給される。

【0020】上記位置Aの下方には、半導体素子1を反転させ、素子形成面を下方向に向けさせる反転装置19が設けられている。この反転装置19はアーム状の回転体20を有する。この回転体20は長手方向中途部を水平軸21によって枢支され、長手方向が垂直になるように180度ずつステップ式に回転駆動されるようになっている。(図に矢印イで示す)

【0021】さらに、上記回転体20の長手方向両端には、回転体20の長手方向外方に突出自在なる一対の吸着ノズル23、23が設けられている。すなわち、これらの吸着ノズル23、23は上記水平軸21に対して点対称に設けられていて、上記一方の吸着ノズル23が上方に位置し上記位置Aに対向しているときには、他方の吸着ノズル23は下方に位置して基板5と対向するようになっている。

【0022】位置Aにおいて、上記ピックアップノズル17によって、一方の吸着ノズル23に半導体素子1がその素子形成面を上方向に向けた状態で受け渡されると、上記反転装置19は矢印イで示すように180度ステップ式に回動駆動され、半導体素子1の素子形成面を下方向に向けた状態に反転させる。このことで上記半導体素子1の素子形成面は基板5と向かいあわせられる。

【0023】半導体素子1がその素子形成面を下方向に向けた状態で位置決めされたならば、上記基板5はXY方向に駆動され、上記半導体素子1のパンプ3とそのパンプ3が接合される配線パターン6とが対向位置決めされる。

【0024】そして、上記一方の吸着ノズル23は下方に突出駆動され、上記半導体素子1のパンプ3を上記配線パターン6に貼付された異方性導電膜7に当接させる。この状態で吸引力を解除すると、上記異方性導電膜

7の上面は粘着力を有するので上記半導体素子1は基板5に仮付けされる。

【0025】一方、上述の動作と並行して、上記ピックアップノズル17は、次に装着される半導体素子1を位置Aに供給する。この半導体素子1は他方の吸着ノズル23によって吸着保持され、上述の一方の吸着ノズル23と同じ動作を行うことで、その半導体素子1を上記基板5上の別の位置に装着する。

【0026】一方の吸着ノズル23と他方の吸着ノズル23がこのような動作を交互に繰り返すことで、上記基板5には多数個の半導体素子1…が異方性導電膜7を介して順次仮付けされる。このことで仮付け工程が終了する。仮付け工程を終えた基板5は基板搬送装置12によってボンディングステージ11に搬送され、所定の位置に位置決めされる。

【0027】このボンディングステージ11の上方には、基板5に仮付けされた複数個の半導体素子1…を一括的にボンディングするボンディングヘッド25が上下移動自在に設けられている。このボンディングヘッド25の下端面は、平坦に形成され、複数個の半導体素子1…を一度にボンディングすることができる大きさの加圧面25aとなっている。

【0028】さらに、このボンディングヘッド25の下端部内にはこのボンディングヘッドを加熱する加熱ヒータ27が埋設されている。この加熱ヒータ27は制御部28に接続され、この制御部28の出力信号によって作動するようになっている。

【0029】また、上記ボンディングヘッド25の下端部にはこのボンディングヘッド25の温度を測定する温度センサ29が設けられている。この温度センサ29は温度検知部30に接続され、上記ボンディングヘッド25内の温度が検知される。そして、この温度検知信号は上記制御部28に入力されるようになっている。

【0030】すなわち、上記制御部28は、上記温度検知部30から検知信号が入力されると、その検知信号に基づいて上記加熱ヒータ27を作動させる。このことにより加熱ヒータ27は上記ボンディングヘッド25の下端部の温度を上記異方性導電膜7を硬化させるのに最適な温度、例えば190度に加熱保温する。

【0031】上記ボンディングヘッド25は下端部の温度を190度に保った状態で、下方に駆動され、上記多数個の半導体素子1…を上記基板5の方向に一定の圧力で押し付ける。そして、異方性導電膜7が硬化するのに必要な時間、例えば30秒間この状態を保つ。このことで上記異方性導電膜7は上記パンプ3と配線パターン6とを電気的に接続した状態で硬化する。

【0032】30秒経過したならば、上記加熱ヒータ27による加熱は停止され、上記基板5および半導体素子1…は自然冷却される。この間、上記ボンディングヘッド25は上記半導体素子1…を上記基板5に押し付けた

5

状態を保っている。上記ボンディングヘッド25の温度が約100度以下に下がったならば、ボンディングヘッド25は上昇駆動される。このことで、一つの基板に対する多数個の半導体素子1…を一括的にボンディングするボンディング工程が終了する。

【0033】このような構成によれば、異方性導電膜7の硬化を一つ一つの半導体素子1について行うのではなく、多数個の半導体素子1…を基板5に一旦仮付けした後に、一括的に硬化させるようにしたので、ボンディン

$$T = (a \times 4) + b + c + (d \times 4) + (e \times 4) + (30 \times 4)$$

本発明では、

$$T = (a \times 4) + (b \times 2) + (c \times 2) + (d \times 4) + (e \times 6) + 30$$

その差は、

$$90 - (b + c) - 2 \times e \quad (\text{秒})$$

である。仮にb、cが共に5秒、eが1秒であるとする、

$$90 - (5 + 5) - 2 \times 1 = 78 \quad (\text{秒})$$

本発明の方が従来の技術に比較して78秒も早いということになる。

【0035】これを一つの半導体素子についてみれば、 $78 / 4 = 19.5$ (秒) となる。このことより、従来に比べ本発明の半導体素子の実装方法はスループットがかなり高いといえる。

【0036】また、上述のような構成によれば、加熱により異方性導電膜7を硬化させたのちに、ボンディングヘッド25を直ぐに上昇駆動するのではなく、上記半導体素子1および基板5の温度が所定の温度(100度以下)に低下するまで加圧状態を保つようにしたので、冷却により基板5と半導体素子1の収縮量に差が生じて異方性導電膜7内に残留応力が発生しても、この残留応力によって上記半導体素子1が基板5から浮き上がるのを防止することができる。このことにより、パンプ3と配線パターン6が離間して導電不良が生じることを有効に防止することができる。なお、この発明は上記一実施例に限定されるものではなく、発明の要旨を変更しない範囲で種々変形可能である。例えば、上記仮付けステージ10とボンディングステージ11は一台の装置に組み込まれていても良いし、別々の装置に設けられていても良い。

【0037】また、上記一実施例においては、異方性導電膜7を硬化させた後に、一定時間加圧状態を保持するようにしたが、異方性導電膜7を硬化させた後に直ぐにボンディングヘッド25を上昇させ、加圧状態を解除するようにしても良い。

【0038】また、上記異方性導電膜7の硬化温度は190度としたがこれは異方性導電膜7の特性により変化するものである。また、この硬化時間も上記一実施例においては30秒としたが、この硬化時間も異方性導電膜

6

*グ時間が短縮される。例えば、一つの基板に4つのIC(半導体素子1)を実装する場合のボンディング時間を従来例と比較してみると以下ようになる。

【0034】例えば、ICの搬送時間をa秒、基板のロード時間をb秒、アンロード時間をc秒、ICの位置合わせ時間をd秒、ボンディングヘッドの上下動作時間をe秒とする。そして、異方性導電膜の硬化時間が30秒とすると、ボンディング時間Tは、
従来技術では、

7の特性によって変化するものであり、例えば60秒としても良い。

【0039】さらに、上記一実施例においては加圧状態を解除する温度を100度以下としたが、これは、その時の外気の温度および基板5の余熱温度によって変更される。

【0040】また、上記一実施例においては、半導体素子1を基板5に仮付けするのに反転装置19を用いたが、このような反転装置19に限定されるものではなく、要は半導体素子1を素子搭載面を下方に向けた状態で基板5に仮付けできる構成の装置であれば良い。

【0041】さらに、上記一実施例においては、複数の半導体素子一つ一つ反転させる反転装置19を用いたが、すべての半導体素子を一度に反転させ、上記基板に一括的に仮付けするような反転装置を用いても良い。

【0042】

【発明の効果】以上説明したように、この発明の半導体素子の実装方法は、複数個の半導体素子を上記基板の所定の位置に異方性導電膜を介して仮付けした後に、上記複数個の半導体素子を上記基板に一括的に加圧しかつ加熱することで上記半導体素子のパンプと基板の配線パターンとを電気的に接続させる。

【0043】このような構成によれば、複数の半導体素子について異方性導電膜を硬化させる作業が一回ですむので、作業工程が簡略化されると共に、実装のスループットを高めることができる。

【図面の簡単な説明】

【図1】この発明の一実施例を示す概略構成図。

【図2】異方性導電膜を用いた一般的なフリップチップ方式の実装構造を示す断面図。

【符号の説明】

1…半導体素子、5…基板、6…配線パターン、7…異方性導電膜、10…仮付けステージ、11…ボンディングステージ、19…反転装置、25…ボンディングヘッド、27…加熱ヒータ。

